

SOBRE EL EFECTO DE LA RESISTENCIA SERIE EN EL MODELADO DE TRANSISTORES DE CAPAS FINAS AMORFOS

ON THE EFFECT OF SERIES RESISTANCE IN THE MODELING OF AMORPHOUS THIN FILM TRANSISTORS

*Magali Estrada del Cueto¹, Antonio Cerdeira Altuzarra¹, Benjamin Iñiguez Nicolau² Josep Pallares²,
Lluís Marsa².*

¹ Sección de Electrónica del Estado Sólido, Departamento de Ingeniería Eléctrica, CINVESTAV-IPN, México,
mestrada@cinvestav.mx, Av. IPN No. 2508, CP 07360, Mexico DF

² Departamento de Electrónica, Electricidad y Automatización, Universidad Rovira i Virgili, Av. Paisos Catalans 26, 43007,
Tarragona, España.

RESUMEN: *En este trabajo se analiza la dependencia de la resistencia serie de los transistores de capas finas con el voltaje de compuerta y drenaje. Se muestran los métodos más comunes de determinarla y se analiza la necesidad de incorporar esta dependencia en los modelos compactos utilizados en los simuladores circuitales. Se demuestra que el valor extraído de resistencia serie es un parámetro de segundo orden al ser mucho menor que la resistencia del canal, por lo cual es suficiente utilizar una aproximación de valor constante que normalmente se extrae por optimización o cualquier otro método, con lo que se obtiene muy buena coincidencia entre curvas modeladas y medidas.*

Palabras Clave: Resistencia serie, Transistores de capas finas, TFTs, Modelado.

ABSTRACT: *In this work we analyze the dependence of the series resistance of thin film transistors on the gate and drain voltages. The most common methods for the determination of this dependence are shown, analyzing the necessity of incorporating this dependence on compact models used in circuit simulators. It is demonstrated that the extracted value of the series resistance is a second order parameter, much less than the channel resistance and therefore the constant value approximation usually used, which is obtained by optimization or other methods is enough for obtaining very good agreement between modeled and measured curves.*

KeyWords: Series resistance, Thin Film Transistors, TFTs, Modeling

1. INTRODUCCIÓN

Los transistores amorfos de capas finas TFTs han encontrado aplicaciones importantes en diferentes ramas de la electrónica desde la década de los 80 en el siglo pasado. Los primeros que se destacaron

por su importancia fueron los transistores de a-Si:H, una de cuyas principales aplicaciones es como controladores de las pantallas de cristal líquido LCD. Entre las principales ventajas de estos dispositivos, se encuentra un menor costo de fabricación, basado en técnicas de depósito a baja temperatura [1]. Entre sus inconvenientes puede mencionarse el

bajo valor de movilidad, que se encuentra en el orden de $1 \text{ cm}^2/\text{Vs}$.

Con el surgimiento de las pantallas activas, el consumo de corriente de los diodos electroluminiscentes requiere de TFTs con movilidades mayores a los $5 \text{ cm}^2/\text{Vs}$ y una nueva generación de TFTs que utilizan óxidos semiconductores AOSTFTs permitió alcanzar movilidades mayores a los $10 \text{ cm}^2/\text{Vs}$. Estos dispositivos son transparentes y además pueden ser fabricados sobre sustratos flexibles [2].

Para ambos tipos de TFTs, se han desarrollado numerosos modelos compactos, que se utilizan en los simuladores circuitales para el diseño de las diferentes aplicaciones en los que estos dispositivos se utilizan. En estos modelos pueden utilizarse métodos de extracción por optimización de los parámetros del modelo, así como otros métodos, donde se busca preservar el sentido físico de los parámetros a extraer. Uno de los parámetros que siempre se extrae es la resistencia serie.

Es conocido que la resistencia serie depende del valor del voltaje de compuerta V_{GS} , cosa que generalmente no se considera en los modelos de TFTs. En este trabajo se analiza cómo afecta la resistencia serie en estos modelos y si es necesario incluir esta dependencia con vistas a obtener una mejor representación del comportamiento de los dispositivos.

2. MÉTODOS PARA LA EXTRACCIÓN DE LA RESISTENCIA SERIE EN TFTS AMORFOS, EN FUNCIÓN DE V_{GS} Y V_{DS} .

En [3] se presentó un método para la determinación de la resistencia serie en transistores MOS de silicio, MOSFETs, que no requiere de dispositivos especiales de prueba. Posteriormente en [4] se presentaron algunas mejoras al método. En ambos métodos se mide la resistencia total del dispositivo, que incluye la resistencia del canal R_{ch} y las resistencias extrínsecas R_{ext} .

$$R_T = R_{ch} + R_{ext}, \quad (1)$$

donde R_{ch} se puede obtener de:

$$R_{ch} = \left(\frac{L_{eff}(V_{GS})}{W\mu_{FET}C_i} \right) \cdot (V_{GS} - V_T - 0.5V_{DS}) \quad (2)$$

y

$$L_{eff}(V_{GS}) = L_M - \Delta L(V_{GS}). \quad (3)$$

L_M es al largo el canal definido por la compuerta G y ΔL es la penetración del campo eléctrico de las regiones de drenaje D y fuente S en la zona bajo la compuerta. Para transistores de canal largo, el largo L_{eff} puede considerarse independiente de V_{GS} [3], e igual a L_M . En este caso, al graficar R_T vs. L_M para diferentes valores de $(V_{GS} - V_T)$, se obtendrán líneas rectas que se deben cortar en el punto correspondiente al valor de R_{ext} . Aunque el método no requiere estructuras especiales de prueba, sí requiere tener transistores con diferentes valores de L_M .

En la Figura. 1 se muestra la variación de la R_T con L_M para diferentes valores de V_{GS} de un TFT de a-Si:H, donde L_M es igual a 20, 40 y 80 μm . La medición se realizó utilizando la curva transferencial con $V_{DS}=1 \text{ V}$, y se graficaron los valores de R_T para V_{GS} de 6, 8, 10, 12 y 14 V. Como se observa el punto de intersección se obtiene para R_T cerca de cero, pero para L_M con valores negativos muy altos, lo que es irreal. Esto indica que la precisión del método no es buena.

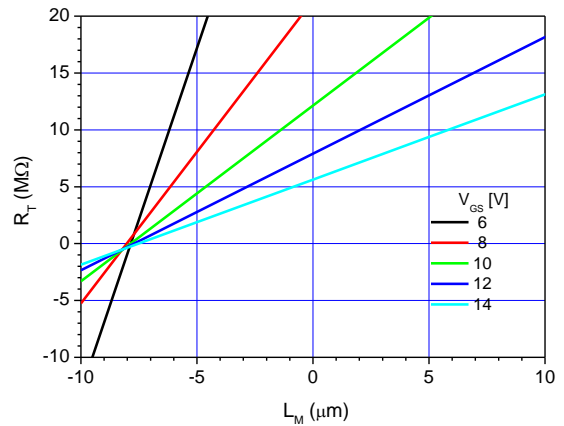


Figura. 1: Variación de R_T con L_M , para diferentes V_{GS}

Aplicando el mismo método también a TFTs de a-Si:H pero de menor L_M , en este caso L_M es de 4,6,10 y 12 μm , se observa que la dependencia incluso deja de ser lineal, y tampoco se observa un punto de intersección bien definido, ver Figura 2.

Con el desarrollo de los AOSTFTs, en [5] se propuso otro método de extracción para obtener la R_{ext} que en principio puede ser utilizado también para cualquier TFT amorfo. El método se basa en resolver de manera simultánea la característica $I_{DS}-V_{GS}$ para dos AOSTFTs. En el ejemplo de la Figura. 3, el método se aplica a un AOSTFT de óxidos de Indio-Galio-Zinc (a-IGZO) con L_M cercanas entre sí.

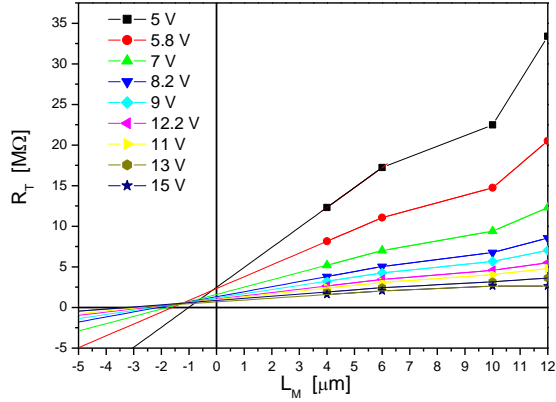


Figura. 2: Variación de R_T con L_M , para diferentes valores de V_{GS} .

En este caso, la R_T se calcula como:

$$R_T = \frac{V_{DS}}{I_{DS}} = R_P(V_{GS}, V_{DS}) + R_{ch}(V_{GS}, V_{DS}), \quad (4)$$

donde $R_P(V_{GS}, V_{DS})$ es la resistencia que los autores llaman parásita, pero que corresponde a la R_{ext} analizada en el ejemplo del método anterior.

$$R_P(V_{GS}, V_{DS}) = R_{CS} + R_{CD} + R_S + R_D \quad (5)$$

y R_{CS} , R_{CD} , R_S , R_D son la resistencia de contacto en el S y D, así como la resistencia serie en el S y D, respectivamente. Todas ellas se consideran dependientes del voltaje de drenaje V_{DS} y de V_{GS} , pues los autores consideran que en los AOSTFTS, hay siempre presente un fuerte campo de borde (*fringing*).

Las expresiones para los diferentes regímenes de operación son las siguientes.

En el régimen de operación lineal se puede considerar que R_{CH} no depende de V_{DS} y puede expresarse como:

$$R_{cho}^*(V_{GS}) = L \cdot r_{cho}^*(V_{GS}), \quad (6)$$

donde L es la longitud del canal y r_{cho}^* la resistencia intrínseca efectiva del canal por unidad de longitud.

Para dos transistores fabricados al mismo tiempo, con longitudes de canal igual a L_1 y $L_2 = L_1 + \Delta L$, cuando ΔL es despreciable, se puede considerar que r_{cho}^* y R_P son los mismos para ambos transistores.

En el régimen de saturación:

$$R_T(V_{GS}, V_{DS}) = R_P(V_{GS}, V_{DS}) + R_{cho}^*(V_{GS}, V_{DS}) + R_{dep}^*(V_{GS}, V_{DS}) \quad (7)$$

y

$$R_{cho}^*(V_{GS}) = (L - \Delta L) \cdot r_{cho}^*(V_{GS}) \approx L \cdot r_{cho}^*(V_{GS}) \quad (8)$$

Para la región de estrangulamiento del canal (*pinchoff*):

$$R_{dep}^*(V_{GS}, V_{DS}) = r_{dep}^* \cdot \Delta L, \quad (9)$$

donde r_{dep}^* es la resistencia efectiva por unidad de longitud, debida al empobrecimiento del canal.

Calculando R_{T1} y R_{T2} para dos transistores con L_1 y L_2 y despejando r_{cho1}^* y r_{cho2}^* , se obtiene que:

$$\left(r_{cho1}^* - r_{cho2}^* \right) = \left(\frac{R_{T1}^* - R_P}{L_1} \right) - \left(\frac{R_{T2}^* - R_P}{L_2} \right) \quad (10)$$

En régimen de saturación también se puede llegar a una expresión similar considerando que

$$\frac{\Delta L_1}{L_1} \approx \frac{\Delta L_2}{L_2}$$

R_P se despeja de (4) como:

$$R_P = \frac{L_2 \cdot \frac{V_{DS}}{I_1(V_{GS}, V_{DS})} - L_1 \cdot \frac{V_{DS}}{I_2(V_{GS}, V_{DS})}}{L_2 - L_1} \quad (11)$$

En la Figura. 3 se muestran los valores de R_T y R_P para dos IGZO TFTs con L de 10 y 12 μm , para $V_{DS} = 0.1 V$.

Como se ve, el método permite obtener valores de R_P solo cuando $V_{GS} \gg V_T$.

Aunque los autores en [5] utilizan el valor de R_P obtenido por su método para incluirlo en un modelo numérico con el que calculan la curva I-V del transistor medido, lo que hacen es resolver simultáneamente de manera numérica dos ecuaciones, la de I-V y la de R_P . Este método no puede ser utilizado en modelos compactos, ya que el método de cálculo debe ser analítico.

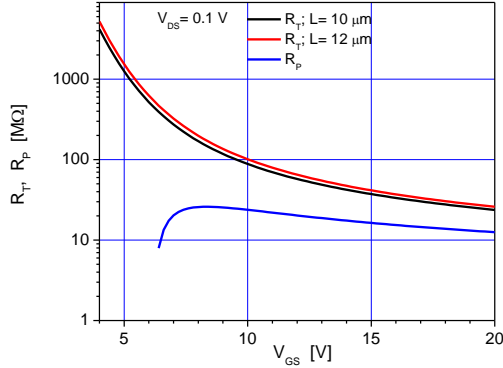


Figura. 3: Variación de R_T y R_P con V_{GS} en un IGZO TFT para dos valores de L y $V_{DS}=0.1$ V.

3. EXTRACCIÓN DEL PARAMETRO R_S EN UN MODELO COMPACTO

En los modelos compactos, el valor de R_S se puede obtener de diferentes maneras según el modelo en cuestión. En este caso analizaremos el que se utiliza en el Modelo Unificado y Método de Extracción (UMEM) [6,7] y si es posible y conveniente incluir la dependencia de la R_S con V_{GS} para aumentar la precisión del modelo.

En el UMEM la corriente de drenaje en el régimen de sobreumbral se expresa como:

$$I_{DS} = \frac{K \frac{\mu_{00} \cdot (V_{GS} - V_T)^{1+\gamma}}{V_{AA}^\gamma}}{1 + R_S \cdot K \frac{\mu_{00} \cdot (V_{GS} - V_T)^{1+\gamma}}{V_{AA}^\gamma}} \cdot \frac{V_{DS} (1 + \lambda V_{DS})}{\left[1 + \left(\frac{V_{DS}}{\alpha (V_{GS} - V_T)} \right)^m \right]^{\frac{1}{m}}} \quad (12)$$

donde $K = \frac{W}{L} C_i$; W es el ancho del canal; L el

largo del canal; C_i es la capacitancia de compuerta por unidad de área y μ_{00} es un valor de referencia tomado como $1 \text{ cm}^2/\text{Vs}$ para fines dimensionales al extraer la movilidad según:

$$\mu_{FET} = \frac{\mu_{00}}{V_{AA}^\gamma} (V_{GS} - V_T)^\gamma \quad (13)$$

V_T es el voltaje de umbral, R_S es la resistencia serie total y V_{AA} , γ , α , λ y m son otros parámetros del modelo.

El método de extracción se basa en las propiedades de la función integral siguiente [6]:

$$H1(V_{GS}) = \frac{\int_0^{V_{GSmax}} I_{DSlin}(V_{GS}) dV_{GS}}{I_{DSlin}(V_{GS})} = \frac{1}{2+\gamma} \cdot (V_{GS} - V_T), \quad (14)$$

donde I_{DSlin} es la corriente de drenaje en régimen lineal y V_{GSmax} el mayor voltaje de compuerta al que se mide el dispositivo.

El parámetro V_{AA} se obtiene de:

$$y(V_{GS}) = I_{DSlin}(V_{GS})^{1+\gamma} = PA \cdot (V_{GS} - V_T), \quad (15)$$

donde:

$$PA = \left[\frac{\left(\frac{W}{L} \right) \cdot C_i \cdot \mu_o \cdot V_{DS1}}{V_{AA}^\gamma} \right]^{\frac{1}{1+\gamma}} \quad (16)$$

La resistencia serie R_S será igual a:

$$R_S = \frac{V_{DS1}}{I_{DSlin}(V_{GSmax})} - \frac{1}{\left(\frac{W}{L} \right) \cdot C_i \cdot \mu_{FET} \cdot (V_{GSmax} - V_T)} \quad (17)$$

En la Tabla I se muestran los valores extraídos para algunos parámetros del modelo, entre ellos la R_S , para un TFT de a-Si:H TFT con $W=50 \mu\text{m}$; $L=12 \mu\text{m}$; espesor de dieléctrico $tox=410 \text{ nm}$; $\mu_{00}=1 \text{ cm}^2/\text{Vs}$; $T=300 \text{ K}$; constante dieléctrica relativa del semiconductor $k_{sem}=1$ y del dieléctrico $k_{ox}=7$ y nivel de Fermi $E_{F0}=0.68 \text{ eV}$. Las figuras 5 a 7, muestran las curvas medidas y modeladas para $V_{DS}=0.1$ y 15 V , y $V_{GS}=9, 12$ y 15 V .

Tabla I: Parámetros extraídos del modelo por el método del UMEM.

V_T (V)	4.21
γ	0.224
V_{AA}	377
R_S [Ω]	5.94×10^4

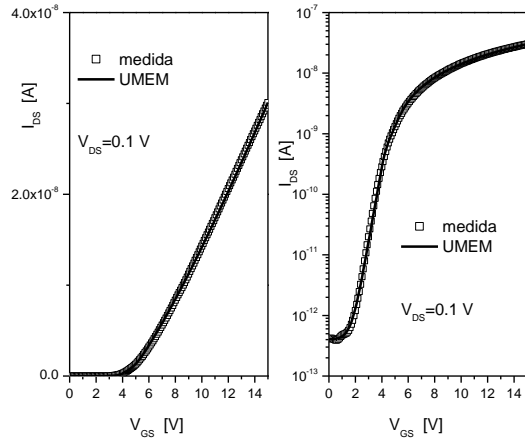


Figura. 5: Característica transferencial medida y modelada para $V_{DS}=0.1$ V.

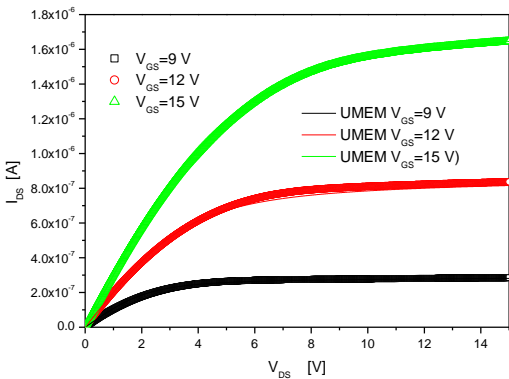


Figura. 6: Características de salida medidas y modeladas para $V_{GS}=9, 12$ y 15 V

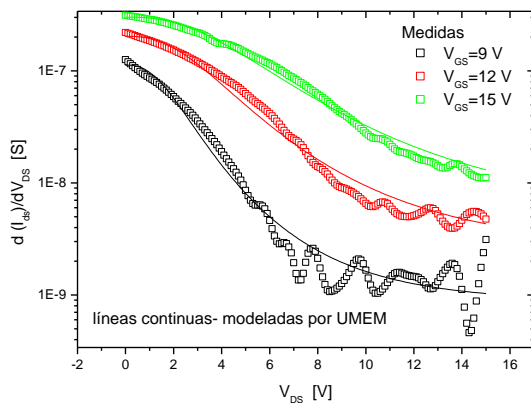


Figura. 7: Conductancia de salida medida y modelada para $V_{GS}=9, 12, 15$ V.

4. ANÁLISIS DEL EFECTO DE LA RESISTENCIA EN SERIE UTILIZADA PARA MODELAR TFTS EN UMEM.

En la Fig. 8, se muestra el comportamiento con V_{GS} de la resistencia total R_T vs. V_{GS} calculada para $V_{DS}=0.1$ V, y $V_{DS}=15$ V, así como de la resistencia serie R_S constante, extraída por UMEM. Se ve claro que la $R_S \ll R_T$, luego R_S constituye un parámetro de segundo orden, cuyo valor debe afectar poco a las curvas modeladas.

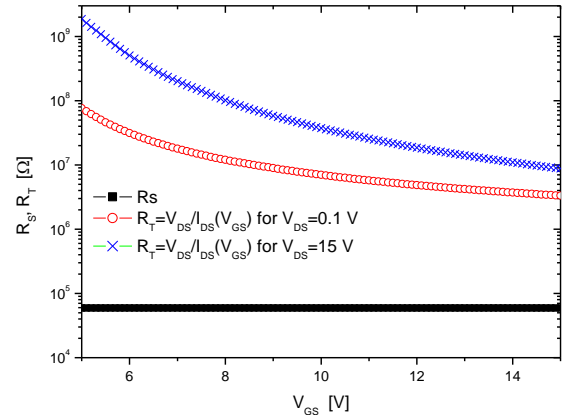


Figura. 8: Variación de R_T y R_S con V_{GS} obtenidas según el UMEM.

Considerando que en la mayoría de los modelos compactos utilizados en simuladores circuitales, la extracción de los parámetros se realiza por optimización, se pasó a obtener también, en este caso por optimización, los parámetros del UMEM para el dispositivo anteriormente analizado, pero se fijó el valor de R_S a 3 valores diferentes, el que se obtuvo por el UMEM de 59.4 kΩ según la Tabla I, y dos valores más arbitrarios que fueron 0, y -60 kΩ. En la Tabla II se muestran los parámetros del UMEM obtenidos por optimización para los 3 casos.

Tabla II: Parámetros del modelo obtenidos por optimización para 3 valores de R_S .

R_S (kΩ)	59.4	0	-60
V_T [V]	4.04	4.06	4.07
V_{AA}	140	183	245
γ	0.309	0.288	0.269
m	2.18	2.15	2.11
λ	2.79×10^{-3}	2.74×10^{-3}	2.29×10^{-3}

La comparación de las curvas medidas y modeladas se muestra en las figuras 9 a 11.

En las figuras 9 y 10, se ve que todas las curvas modeladas se sobrepone entre sí independientemente del valor de R_s , y ajustan bien con la medida.

En figura 11, se muestra la característica de salida medida y modelada para $V_{GS}=12$. Aunque se observa una diferencia en la región de saturación, de nuevo, las 3 curvas modelada con valores de R_s totalmente diferentes coinciden una sobre otra, por lo que el valor asignado a la resistencia serie no influye en el modelado de la curva. El mismo análisis se realizó para AOSTFTs, obteniendo el mismo resultado.

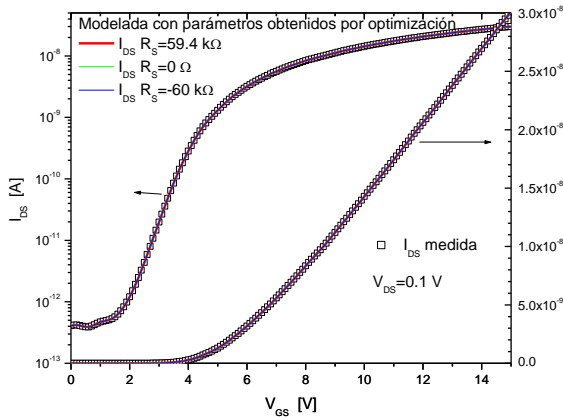


Figura 9: Característica transferencial lineal medida y modelada con los 3 valores de R_s .

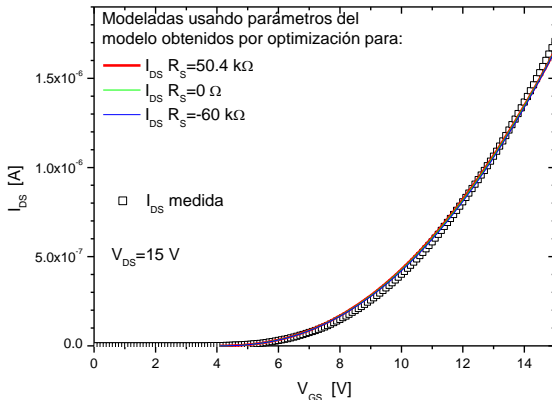


Figura 10: Característica transferencial en saturación medida y modelada con los 3 valores de R_s .

Por ello, se puede concluir que la determinación del valor real de la resistencia serie y mucho menos de su dependencia con V_{GS} y V_{DS} no resultan importante desde el punto de vista de modelar el dispositivo, siempre y cuando se cumpla que la resistencia del canal es mucho mayor que la resistencia serie, lo cual prácticamente siempre se cumple en los TFTs.

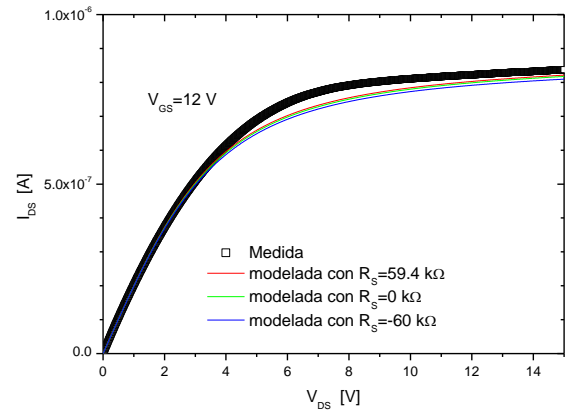


Figura 11: Característica de salida para $V_{GS}=12$ V, utilizando parámetros del modelo obtenidos por optimización, para valores de R_s de 59.4 kΩ, 0 Ω y 60 kΩ.

5. CONCLUSIONES

La determinación experimental de la dependencia con V_{GS} de la resistencia extrínseca en TFTs, en el mejor de los casos requiere de varios transistores con diferente longitud de canal. Aun así, el valor que se obtiene, no siempre es correcto, o resulta válido solo para una región limitada de $V_{GS} > V_T$.

Desde el punto de vista del modelado de las características de estos dispositivos, el conocimiento de esta dependencia no resulta importante, pues el valor de la R_s que se extrae resulta siempre un parámetro de segundo orden al ser mucho menor que la resistencia del canal del dispositivo. Por ese motivo, es válida la utilización de un parámetro de ajuste que normalmente se asocia a la resistencia serie y que se considera independiente de V_{GS} .

Esta aproximación es suficiente para obtener un ajuste satisfactorio entre las características medidas y modeladas y puede ser perfectamente utilizado en los simuladores circuitales.

6. AGRADECIMIENTOS

Agradecemos el apoyo del proyecto CONACYT 237213 y del contrato 247745 de la Comisión Europea, de los contratos CSD2007-00007 y TEC2012-34397 del Ministerio de Ciencia de España, del contrato 2009SGR549 del Gobierno Catalán y de la beca PGIR/15 premio ICREA de la Academia..

REFERENCIAS BIBLIOGRÁFICAS

1. **C-Y. Chen, J. Kanisckim** "High Field Effect mobility a-Si:H TFT base on High deposition rate PECVD Materials", IEEE Electron Device Lett. Vol. 17, No.9, pp. 437 - 439, 1996.
2. **E. Fortunato, P. Barquinha, R. Martins,**"Oxide semiconductor thin-film transistors: A review of recent advances" Adv Mater Vol. 24, pp. 2945 – 2986, 2012.
3. **K. Terada, H. Muta,** "A new effective method to determine effective MOSFET channel length", Japanese Journal of Applied Physics, Vol. 18, pp. 953 - 959, 1979.
4. **G.Hu, C. Chang, Y-T Chia,** "Gate-Voltage-Dependent Effective Channel Length and Series Resistance of LDD MOSFET's" IEEE Transactions on Electron Devices, Vol. 34, pp. 2469 - 2474, 1987.
5. **J-H. Park, H-K. Jung, S. Kim, S. Lee, D.M. Kim, D.H. Kim,** "Empirical Modeling and Extraction of Parasitic Resistance in Amorphous Indium–Gallium–Zinc Oxide Thin-Film Transistors", IEEE Transactions on Electron Devices, Vol. 58, pp. 2796 - 2799, 2011.
6. **A. Cerdeira, M. Estrada, R. García, A. Ortiz-Conde, F.J. García Sánchez,** "New procedure for the extraction of basic a-Si:H TFT model parame-

ters in the linear and saturation regions", Solid-State Electronics, Vol. 45, pp. 1077 - 1080, 2001.

7. **L. Reséndiz, M. Estrada, A. Cerdeira,** "New procedure for the extraction of a-Si:H TFTs model parameters in the subthreshold region", Solid-State Electronics, Vol. 47, pp. 1351 - 1358, 2003.

SÍNTESIS CURRICULAR

Magali Estrada – M.S. en la Universidad Estatal de Moscú, 1966; Ph.D. en el Instituto Politécnico Noroccidental de Leningrado, Rusia, 1977. Profesor Titular de la Facultad de Física de la UH, 1966 a 1978. Jefa de los Laboratorios docentes de la Facultad de Física. Jefa del Laboratorio de Tecnología Planar en el LIEES hasta 1978. Jefa del Departamento de Microelectrónica del ICID de 1980 a 1989. Jefa del Laboratorio de Microelectrónica en el Centro Internacional de Informática en Moscú, Rusia, de 1990 a 1994. Profesor Titular de la Sección de Electrónica del Estado Sólido del Departamento de Ingeniería Eléctrica del CINVESTAV en México D.F. desde 1995. Los temas actuales de investigación son en el campo de la fabricación, estudio y modelación de TFTs y en la modelación de transistores MOS nanométricos. Es autora o coautora de más de 270 trabajos publicados en revistas y congresos. Es miembro "senior" y Conferencista Distinguido (DL) de la sociedad de Dispositivos Semiconductores EDS/IEEE Fue Presidente del Comité de Capítulos del EDS de la Región 9 (América Latina), 1999 al 2011 y miembro del Comité Administrativo del EDS/IEEE, 2002 a 2007. Correo electrónico: mestrada@cinvestav.mx. Dirección postal: Av. IPN No 2508, CP 07360, Mexico DF.